
ESTIMATION OF PEAK SUSTAINABLE POWER CONSUMPTION FOR SEQUENTIAL CMOS CIRCUITS

Liudmila Cheremisinova, **Arkadij Zakrevskij**

Abstract: *The reliability and the cost of electronic circuits are closely connected to the maximum power dissipated by them. Tools for evaluating the worst case power consumption of sequential circuits is becoming a primal concern for designers of low-power circuits. In the paper the task of estimation of peak sustainable power for CMOS synchronous sequential circuit is considered when its automaton description in the form of Finite State Machine (FSM) is available. The method is based on finding out the simple directed cycles of FSM state transition graph closely related with test sequences for simulating the sequential circuit for sustainable power estimation.*

Keywords: *low-power design, power consumption, CMOS circuits, peak power estimation.*

ACM Classification Keywords: *B.6.1 Logic design: Design Style – Sequential circuits; B.7.3 Integrated Circuits: Reliability and Testing – Test Generation*

Introduction

In the VLSI (Very Large Scale Integration) chip design performance, area and cost were historically the major considerations. But in the last years power consumption has become the major issue in electronic research, it is being given increased weight age in comparison to area and speed because of two main reasons:

- Increasing use of portable and battery operated electronic devices which have limited battery life;
- Continuous increase in chip density resulting in VLSI circuits that contain up to hundreds of millions of transistors;
- Topicality of high performance computing resulting in VLSI circuits that have clock frequencies in the GigaHertz range.

Excessive power dissipation (the unit of power used throughout the paper is energy per clock cycle) in integrative circuits causes their overheating degrading the performance and reducing chip life. To prevent circuits from these consequences discouraging their usage, the chips need costly packaging and cooling arrangements. The Semiconductor Industry Association technology roadmap [SIA, 2014] has identified low power design techniques as a critical technological need in semiconductor industry today.

The development of methods and software tools that can help designers to optimize digital circuits for power consumption has received increasing attention. Accurate and efficient power estimation during design phase is required. The appropriate tools must have efficient means to estimate the power consumed by a circuit on different design phases. At present an increasing attention is focused not only on transistor-level design but on higher levels of abstraction because early power estimation is important in VLSI circuits, because it has a significant impact on the reliability of the circuits under design. And in the process of optimizing circuits for low power a designer is interested in knowing the effects of specific design techniques on the power consumption of the projected circuit. With the relevant information about power characteristics designer can redesign or correct a circuit in early design stages if it is found to consume more power than expected.

The estimation of power in digital circuits has become a significant problem, especially for present day semiconductor technologies. Currently, the simplest and most direct power estimation can be done by circuit simulation when the monitoring of the power supply current is done. So, power consumption values are determined which depend on the given vector set. There are circuit-level power estimators available as commercial tools. For example, the most known SPICE [Nagel, 1973]. But the simulation results are highly related to the input patterns given to the circuit [Kang, 1986]. Simulation methods suffer from two major drawbacks. First, they are very time consuming, especially for large circuits (because to produce a meaningful power estimate the required number of simulated vectors is usually high). Second, it needs to know the set of input patterns when the power for a designed circuit embedded in a large system is to be calculated. Thus, the calculated power may be erroneous because some of input patterns used for estimation may never occur during normal (or verified critical mode) operation.

Using simulators, power is measured for a specific set of input vectors (often chosen randomly), and can be referred to average power consumption. Many investigations were focusing on the average power estimation [Arasu, 2013; Chou, 1996; Ghosh, 1992; Najm, 1994; Wang1, 1996]. The proposed methods are not only simulation-based but probabilistic methods are very popular too. However, the average dissipation is not the only reason of circuit failure. Another critical factor that affects the chip reliability is the value of maximum (or peak) power dissipation that can cause excessive heat generation resulting in permanent damage or temporary circuit failure. Unlike average power estimations in which signal switching probabilities are sufficient to compute the average power [Chou, 1996; Ghosh, 1992; Najm, 1994], maximum power is associated with a specific starting circuit state and a specific input pattern sequence that produce such a power. Although the problem of estimation of maximum power in VLSI circuits is essential for determining the appropriate packaging and cooling techniques, optimizing the power and ground routing networks, there are a limited number of papers devoted to the problem of maximum power estimation of combinational and sequential circuits (most of them are cited in the papers [Kumthekar, 1998; Wu, 2006]).

Static CMOS logic style is used now for the vast majority of logic gates in digital integrated circuits because they have good technological parameters and good power dissipation characteristics. Many ASIC methodologies allow only complementary CMOS circuits custom designs use static CMOS for 95% of the logic [Zimmermann, 1997]. The reliability and the cost of electronic circuits are closely connected to the maximum power dissipated by them. Power and switching activity estimation for sequential circuits is significantly more complex task than that for combinational circuits because power value depends not only on input patterns but on the state the circuit is in. Tools for evaluating the worst case power consumption of sequential circuits are becoming a primal concern for designers of low-power circuits.

In the paper the task of estimation of peak sustainable power for CMOS synchronous sequential circuit when its automaton description in the form of Finite State Machine is available. The proposed method is based on finding out the simple directed cycles of FSM state transition graph (STG) closely related with input patterns for simulating the sequential circuit for sustainable power estimation.

Peak power estimations for sequential logic circuits

The total power dissipated in a CMOS logic gate consists of two basic components: static and dynamic power. In a typical CMOS circuit, most of the power dissipated is dynamic power while static power makes up a small part of the total power dissipated [Balasubramanian, 2007]. The dynamic power component normally dominates in CMOS system-on-chip and accounts for roughly 75% of the total power consumption [Benini, 2002]. The dynamic power dissipation is defined as the power spent in charging or discharging of the nodal capacitances during a high to low or low to high transition at the output node. The dynamic power dissipated is directly proportional to

the circuit switching activity, which is evaluated by the number of gate outputs that toggle (change state) in the circuit. Therefore, the total switching activity is the parameter that needs to be maximized for maximum power dissipation or the peak switching frequency is used to represent the peak power consumption in the circuits.

In the first papers devoted to circuit peak power estimation, the problem was treated as estimating the maximum power that the circuit may consume within any clock cycle. The problem in the case of combinational circuit is equivalent to looking for the maximum-power-consuming vector pair among all possible input vector pairs. For sequential circuits, on the other hand, the activity depends on the initial memory state as well as the primary input vectors, so, the state ought to be added to the pair of input vectors when looking for the maximum power estimation for sequential circuit. Further different design requirements of present VLSI chips make things more complicated. Now three types of peak power are used in the context of sequential circuits [Hsiao, 2000]:

- 1) Peak single-cycle power;
- 2) Peak l -cycle power;
- 3) Peak sustainable power.

Their time durations are one clock cycle, l consecutive clock cycles and an infinite number of cycles, respectively.

Peak single-cycle power consumption corresponds to the highest switching activity generated in the circuit under the test during one clock cycle. Accurate estimation of maximum power consumption for a combinational circuit involves finding a pair of input vectors which, when applied successively, maximize the number of toggles, among all possible input vector pairs. The estimate of peak single-cycle power dissipation can be used as a lower-bound for worst-case power dissipation in the circuit because found pair of input vectors can be applied one after another repeatedly causing the estimated power as an average for an indefinite time.

For a combinational circuit with n primary inputs, there are $(2^n)^2 = 4^n$ possible two input vector sequences to be considered. For a sequential circuit with m memory elements, this number of sequences increases up to $m 4^n$. The power is controlled by initial memory state vector \mathbf{s}_1 and input vectors \mathbf{x}_1 and \mathbf{x}_2 . The state \mathbf{s}_1 and input vector \mathbf{x}_1 initialize all gate outputs and determine the next state \mathbf{s}_2 . Then, the vector \mathbf{x}_2 and the state \mathbf{s}_2 switch some of the gate outputs, which accounts for the power dissipation. So in that case a three-tuple $(\mathbf{s}_1, \mathbf{x}_1, \mathbf{x}_2)$ must be found that maximizes the instantaneous power consumption.

Peak l -cycle switching activity is a measure of the peak average power dissipation over a contiguous sequence of l vectors. The l -cycle power is related with the sequence $(\mathbf{s}, \mathbf{x}_1, \mathbf{x}_2, \dots, \mathbf{x}_l)$ of the length $l+1$. When l is equal to 3, the peak l -cycle power is the same as the peak single-cycle power dissipation, and with l increasing the average power is expected to decrease.

Peak sustainable power is a measure of the peak average power that can be sustained indefinitely over many clock cycles [Hsiao, 1997] it is called as maximum average power too. The peak l -cycle power serves as an upper bound to peak sustainable power. And both estimates have sense only for sequential circuits.

The peak average power can be defined as follows. The average power dissipation E_i is maximum if 1) there exist such unrestrictedly long sequence of clock cycles which is characterized by the average power E_i (average power dissipated per a clock cycle); 2) there does not exist the available unrestrictedly long sequence with average power greater than E_i .

Many efforts have been done to attack the problem of peak power estimation. The proposed methods are based on transformation to a weighted max-satisfiability problem on a set of multi-output Boolean functions [Devadas, 1992]; calculation of maximum average length cycles of a weighted directed graph [Manne, 1995]; propagation of signal uncertainty waveforms throughout the circuit [Kriplani, 1992]; automatic test pattern generation techniques [Wang1, 1996]; Monte Carlo based statistical techniques for maximum current estimation [Wang2, 1996]; genetic search algorithms [Hsiao, 1997]; the asymptotic theory of Extreme Order Statistics [Wu, 2006]; ant colony

optimization techniques [Liu, 2009] and others approaches. The majority of the obtained results are devoted to the problem of peak single-cycle power estimation some of them are applicable only for combinational circuits. The difference between combinational and sequential circuits is the memory elements issue. The states of sequential circuits cannot be assigned to arbitrary values but only to reachable ones. If the initial state is initialized to any arbitrary value during the peak power estimation, then the power value will be overestimated since unreachable states are not allowed.

The majority of peak power estimation approaches are based in any event on simulation. The simulation-based power calculation procedure is comprised of three phases: generation (may be randomly) of a sequence of input patterns to be tested (it should have statistically significant size to make conclusions); simulation of the tested circuit on the sequence of input patterns estimating power dissipation on each clock cycle and then calculation of the average value of power dissipation. For sequential circuits the initial sequence of input patterns should start from some reachable state (it may be reset state). The difficulties of usage of simulation-based method for peak power estimation are: 1) the need to generate such a sequence of input patterns that ensures energy critical mode of circuit operation (otherwise we do not get estimate of peak power dissipation); 2) the simulation process is very time consuming because of the great number of simulated vectors for large circuits to produce a meaningful power estimate; 3) the necessity to initialize the tested sequential circuit, to start simulation from a reachable state; 4) baffling complexity of the task because a sequential circuit can be considered as a series of combinational circuits with different initial reachable states.

Problem statement

High level synthesis produces a combined description of the data-path and control logic. The well-known representation of control logic is FSM state transition graph (STG). At the level of logic design a gate-level netlist is generated from a FSM, so a circuit structure is reflected by an appropriate FSM structure.

In this paper the focus is on the upper bound to peak sustainable power for CMOS synchronous sequential circuit. We made the assumption that the circuit automaton description in the form of FSM is available. We seek for test sequences of input vectors that are the candidates to be tested for peak sustainable power dissipation in sequential circuit. The test sequences are derived from augmented STG of the given FSM. The switching frequency is used to evaluate the peak power consumption in the circuit in the process of constructing test sequences that would cause this peak power value. We compute peak sustainable power by finding the average switching frequency for a cycle sequence of FSM transitions that can be repeated infinitely for a long time.

The proposed approach constructs test sequences which are only suspicious (maybe highly) to consuming the peak power, that is because: 1) we are not interested in detail of the target circuit structure and use only its global structure – STG of FSM; 2) the correlation between switching frequency used for test sequence estimate and the actual peak power is indefinite; 3) the process technology is not taken into account. Once the test sequences have been determined circuit-level simulation should be performed to accurately determine the associated values of average power dissipation and to choose the most of them corresponding to peak sustainable power dissipation.

Let T_i denote test sequence represented by k -cycle sequence $(\mathbf{s}^j, \mathbf{x}_1^j, \mathbf{x}_2^j, \dots, \mathbf{x}_k^j)$, where \mathbf{s}^j is a FSM internal state represented by a Boolean vector of states of memory elements, \mathbf{x}_j^j is a Boolean vector of input variables representing a FSM input state at the j -th clock cycle. The values of \mathbf{s}^j and \mathbf{x}_1^j initialize the circuit at the first clock cycle, before the process of estimating the series of switching's in the circuit.

The paper proposes a methodology for finding out a cyclic sequence that 1) is allowable (although it may have low-probability); 2) may be repeated many times; 3) is the most power-consuming deriving the maximal average (sustainable) power consumption.

Let a k -cycle test sequence $T = (\mathbf{s}, \mathbf{x}_1, \mathbf{x}_2, \dots, \mathbf{x}_k)$ be termed cyclic if its simulating generates the sequence $(\mathbf{s}, \mathbf{x}_1, \mathbf{s}_1, \mathbf{x}_2, \mathbf{s}_2, \dots, \mathbf{s}_{k-1}, \mathbf{x}_k, \mathbf{s}_k)$ such that $\mathbf{s} = \mathbf{s}_k$. It is accepted that a single cycle power estimation metrics (evaluates the power dissipated during any one cycle) is equal to the sum of signal switching's of all circuit nodes.

The method of search for peak power test sequences

Let FSM (A, B, S, Ψ, Φ) be given, where A is the set of input symbols, or input alphabet; B is the set of output symbols, or output alphabet; S is the set of states, or internal alphabet; $\Psi : A \times S \rightarrow S$ is the transition function mapping a state and the input symbol to the next state; $\Phi : A \times S \rightarrow B$ ($\Phi : S \rightarrow B$ for an automaton of Moore type) is the output function mapping a state and the input symbol to the output symbol.

The more obvious representation of an automaton is the state transition graph G that is a directed graph whose vertices correspond to the automaton states, and edges – to the transitions between the states. Any edge of the graph is marked with input symbols, which cause the corresponding transition, and with output symbols going with this transition (in the case of Mealy's automaton). In the case of Moore's automaton, the output symbols mark the vertices corresponding to the states where the automaton is producing those symbols.

We suppose that all the automaton symbols are encoded by Boolean variables. At that, the state symbols $a \in A$, $b \in B$ and $s \in S$ are replaced by the vectors of Boolean variables:

$$a \rightarrow \mathbf{x} = (x_1, x_2, \dots, x_n);$$

$$b \rightarrow \mathbf{y} = (y_1, y_2, \dots, y_m);$$

$$s \rightarrow \mathbf{z} = (z_1, z_2, \dots, z_k).$$

The functions Ψ and Φ are transformed into the vector functions $\boldsymbol{\Psi}(\mathbf{x}, \mathbf{z}) = \mathbf{z}'$ and $\boldsymbol{\Phi}(\mathbf{x}, \mathbf{z}) = \mathbf{y}$, and those into the system of $m + k$ Boolean functions.

Let the vertices $v_i \in V$ and edges $t_i \in T$ of the STG $G = (V, T)$ are marked with codes \mathbf{z} (and with codes \mathbf{y} in the case of Moore type automaton), and the edges $t_i \in T$ of the STG are attached with codes \mathbf{x} and \mathbf{y} of input and output symbols. Then let a weight to each edge in the STG be attached which indicates the power dissipation estimate and is equal to the number of input, output and internal variables (from the vectors $\mathbf{x}, \mathbf{y}, \mathbf{z}$) changing their values as result of automaton transition between two adjacent states. In other words, an edge weight equals to the total toggle count (variables bit changes) per the appropriate state transition calculated as the sum of Hamming distances between codes of input, output and internal states touched with the transition.

For example, let the following sequence of transitions take place:

$$\Psi(a_i, s_c) = s_d, \Phi(a_i, s_c) = b_p, \Psi(a_j, s_d) = s_e, \Phi(a_j, s_d) = b_q,$$

and $s_c \rightarrow \mathbf{z}_c = (000)$, $s_d \rightarrow \mathbf{z}_d = (010)$, $s_e \rightarrow \mathbf{z}_e = (101)$, $a_i \rightarrow \mathbf{x}_i = (00)$, $a_j \rightarrow \mathbf{x}_j = (01)$, $b_p \rightarrow \mathbf{y}_p = (11)$, $b_q \rightarrow \mathbf{y}_q = (00)$. Then the weight of the edge (s_d, s_e) between the states s_d and s_e equals 6:

$$d(\mathbf{z}_d, \mathbf{z}_e) + d(\mathbf{a}_i, \mathbf{a}_j) + d(\mathbf{b}_p, \mathbf{b}_q) = d(010, 101) + d(00, 01) + d(11, 00) = 6.$$

When looking for cyclic test sequences with maximal average peak power we may content ourselves only with simple directed cycles, i.e. a closed directed walk with no repetitions of vertices or edges allowed. This assumption is reasonable because 1) any directed cycle other than simple one can be constructed as a superposition of some simple directed cycles, and 2) among simple cycles constituting no simple one, there

exists always one better than the composite cycle; 3) we are interested of the most power-consuming directed cycles.

We search for simple directed cycles $C_i = (v_0^i, t_1^i, v_1^i, t_2^i, v_2^i, \dots, t_k^i, v_0^i)$ of the state transition graph $G = (V, T)$, where $v_j^i \in V$ and $t_j^i \in T$ are vertices and edges of the graph. For each obtained simple directed cycle, weights are calculated for all its edges and then average value of the weight per an edge $t_j^i \in C_i$ which will be the estimate of power dissipation of sequential subcircuit which implements the automaton cyclic sequence corresponding to the simple directed cycle C_i . The estimate carries the comparative character in the sense that it can be used only for comparing different automaton cyclic sequences with each other to compute the maximum average cycles. The approach must construct test sequences which are only highly suspicious to consuming the peak power. These generated test sequences should be applied into a commercial power calculation tool to estimate real power dissipation.

Test sequence $(z^i, x_1^i, x_2^i, \dots, x_k^i)$ corresponds to a found i -th simple directed cycle $(v_0^i, t_1^i, v_1^i, t_2^i, v_2^i, \dots, t_k^i, v_0^i)$, where z^i is the starting (and ending) sequential circuit memory state, x_j^i are input patterns causing the transitions from the state z_{j-1}^i to z_j^i (that mark the vertices v_{j-1}^i and v_j^i of the state transition graph $G = (V, T)$) so, for each two consecutive vertices of the cycle, there exists an edge directed from the earlier vertex to the later one.

An example of the search for peak power test sequences

Let consider an example of FSM of Moore type with six states, the corresponding state transition graph $G = (V, T)$ is shown in Figure 1. The vertices of the directed graph G correspond to the automaton states, and edges – to the transitions between the states. A vertex $v_i \in V$ is marked with the code z_i of automaton state s_i and the code y_i (in accordance with the output function $\Phi : S \rightarrow B$) of the output symbol b_i in the form z_i/y_i . An edge of the graph G corresponds to the automaton transition and is marked with the code of input symbol, which causes the transition. For instance, the vertex v_1 is marked with two vectors 000/01 where 000 is the code $\bar{z}_1 \bar{z}_2 \bar{z}_3$ of the automaton state s_1 and 01 is the code $\bar{y}_1 y_2$ of the output symbol in the state s_1 . Two edges from the vertex v_1 marked with 00 and 11 correspond to automaton transition to states s_5 and s_6 under input signals $\bar{x}_1 \bar{x}_2$ and $x_1 x_2$.

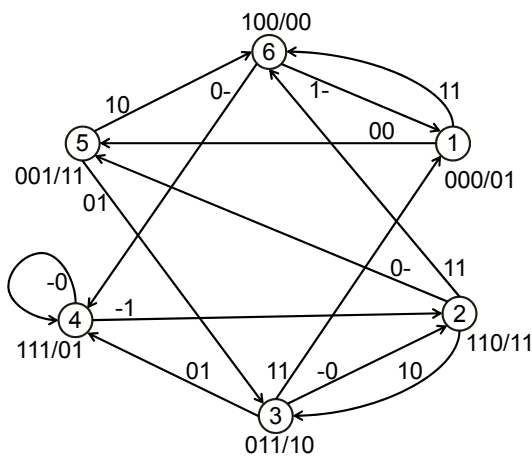


Figure 1. State transition graph of Moore's FSM

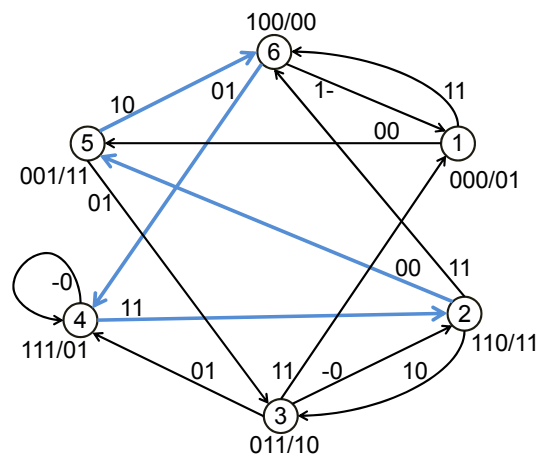


Figure 2. The best directed cycle of the state transition graph of FSM of Moore type

The graph G has 14 simple directed cycles whose vertices are enumerated in the second column of the below shown Table 1. For each cycle, the total toggle count is calculated which consists of the following three values:

1) the sum of maximum numbers of value changes of internal variables z_i ; 2) the sum of maximum numbers of value changes of input variables x_i and 3) the sum of maximum numbers of value changes of output variables y_i as the result of appropriate automaton transition (third, fourth and fifth columns of Table 1).

Then the average number of toggle counts per an edge for all cycles is computed (the sixth column of Table 1) which serves as the power estimate of a cycle and allows to range the cycles according to their potentials to be a candidate to be the test for worst-case power dissipation. In considered case we can choose, for instance, the following three test sequences corresponding to the best directed simple cycles 8, 6, 7:

- 1) $(z_1 z_2 z_3; x_1 x_2; \bar{x}_1 \bar{x}_2; x_1 \bar{x}_2; \bar{x}_1 x_2)$;
- 2) $(z_1 z_2 z_3; x_1 x_2; x_1 \bar{x}_2; \bar{x}_1 x_2; x_1 x_2; \bar{x}_1 \bar{x}_2)$;
- 3) $(z_1 z_2 z_3; x_1 x_2; x_1 \bar{x}_2; \bar{x}_1 x_2; \bar{x}_1 \bar{x}_2; x_1 \bar{x}_2; \bar{x}_1 x_2)$.

The directed cycle 8 (the best candidate for estimating maximal average (sustainable) power consumption) is shown at the state transition graph (Figure 2).

Table 1. The toggle characteristics of simple directed cycles of the state transition graph

| | Vertices | Total number of variable toggles | | | |
|----|------------------|----------------------------------|-------|--------|---------|
| | | state | input | output | average |
| 1 | 1, 6 | 2 | 2 | 2 | 3 |
| 2 | 1, 5, 6 | 4 | 4 | 4 | 4 |
| 3 | 1, 5, 3, 2, 6 | 6 | 7 | 6 | 3,8 |
| 4 | 1, 5, 3, 4, 2, 6 | 6 | 4 | 8 | 3 |
| 5 | 4, 2, 6 | 4 | 4 | 4 | 4 |
| 6 | 4, 2, 3, 1, 6 | 8 | 8 | 6 | 4,4 |
| 7 | 4, 2, 3, 1, 5, 6 | 10 | 8 | 8 | 4,3 |
| 8 | 4, 2, 5, 6 | 8 | 6 | 4 | 4,5 |
| 9 | 1, 5, 3 | 4 | 4 | 4 | 4 |
| 10 | 4, 2, 5, 3, 1, 6 | 10 | 8 | 6 | 4 |
| 11 | 2, 3 | 4 | 2 | 2 | 4 |
| 12 | 2, 3, 4 | 4 | 4 | 4 | 4 |
| 13 | 2, 5, 3 | 6 | 4 | 2 | 4 |
| 14 | 2, 5, 3, 4 | 6 | 4 | 4 | 3,5 |

Conclusion

The task of estimation peak sustainable power for sequential circuit is simplified when its initial automaton description is known. In this case it is shown how it can find out candidate sequences of input patterns that ensure energy critical mode of circuit operation. The approach allows avoiding time consuming generation of the great number of simulated vectors to produce a meaningful power estimate of worst case power consumption.

Acknowledgement

The paper is published with partial support by the project ITHEA XXI of the ITHEA ISS (www.ithea.org) and the ADUIS (www.aduis.com.ua).

Bibliography

- [Arasu, 2013] S.A.K. Arasu, F.E.Josy, N.Manibharathi, K.Rajasekaran. BPNN Based Power Estimation of Sequential Circuits. In: Intern. Journal of Advanced Research in Computer Science and Software Engineering, 2013, vol. 3, no. 11, pp. 256–260.
- [Balasubramanian, 2007] P. Balasubramanian, C.H. Narayanan, K. Anantha. Low Power Design of Digital Combinatorial Circuits with Complementary CMOS Logic. In: Intern. Journal of Electronics, Circuits and Systems, 2007, vol. 1, no. 1, pp. 10–18.
- [Benini, 2002] L. Benini, G.De. Micheli. Logic Synthesis for Low Power. In: Logic Synthesis and Verification. Ed. S. Hassoun, T. Sasao and R.K. Brayton. Boston, Dardrecht, London: Kluwer Academic Publishers, 2002, pp. 197–223.
- [Chou, 1996] T. Chou, K. Roy. Accurate Power Estimation of CMOS Sequential Circuits. In: IEEE Trans. VLSI Systems, vol. 4, no. 3, 1996, pp. 369–380.
- [Devadas, 1992] S. Devadas, K. Keutzer, and J. White. Estimation of Power Dissipation in CMOS Combinational Circuits Using Boolean Function Manipulation. In: IEEE. Transaction on Computer-Aided Design, March, 1992, no. 11, pp. 373–383.
- [Ghosh, 1992] A. Ghosh, S. Devadas, K. Keutzer, J. White. Estimation of Average Switching Activity in Combinational and Sequential Circuits. In: 29th ACM / IEEE Design Automation Conference. Tech. Dig, June 1992, pp. 253–259.
- [Hsiao, 1997] M.S. Hsiao, E.M. Rudnick, and J.H. Patel. K2: An estimator for peak sustainable power of VLSI circuits. In: Proc. Intern. Symposium on Low Power Electronics and Design, Aug. 1997, pp. 178–183.
- [Hsiao, 1999] M.S. Hsiao. Peak Power Estimation Using Genetic Spot Optimization for Large VLSI Circuits. Proc. Design, Automation and Test in Europe, 1999, pp. 175–179.
- [Hsiao, 2000] M. S. Hsiao, E. M. Rudnick, and J. H. Patel. Peak power estimation of vlsi circuits: New peak power measures. IEEE Trans. on VLSI Systems, 2000, no. 8(4), pp. 435–439.
- [Kang, 1986] S.M. Kang. Accurate simulation of power dissipation in VLSI circuit. In: IEEE Journal of Solid-State Circuits, 1986, vol. 21, no. 5, pp. 889–891.
- [Kriplani, 1992] H. Kriplani, F. Najm, and I. Hajj. Maximum Current Estimation in CMOS Circuits. In: 29th ACM/IEEE Design Automation Conference, Anaheim, CA, June 8-12, 1992, pp. 2–7.
- [Kumthekar, 1998] B. Kumthekar, E. Macii, M. Poncino, F. Somenzi. Simulation-Based Re-Synthesis of Sequential Circuits for Peak Sustainable Power Reduction. In: Proc. Intern. Workshop on Logic Synthesis. Lake Tahoe, CA, 7–10 June 1998, pp. 392–397.
- [Liu, 2009] Yi-Ling Liu, Chun-Yao Wang, Yung-Chih Chen and Ya-Hsin Chang. A Novel ACO-based Pattern Generation for Peak Power Estimation in VLSI Circuits. In: 10th Intern. Symposium on Quality Electronic Design (ISQED 2009). San Jose, CA, 16–18 March 2009, pp. 317–323.
- [Manne, 1995] S. Manne, A. Pardo, R. Bahar, G. Hachtel, F. Somenzi, E. Macii and M. Poncino. Computing the Maximum Power Cycles of a Sequential Circuit. In: Proc. of Design Automation Conf., 1995, pp. 23–28.
- [Nagel, 1973] L.W. Nagel, D.O. Pederson. Spice (simulation program with integrated circuit emphasis). In: Technical Report UCB/ERL M382. EECS Department, Berkeley: University of California, April 1973.
- [Najm, 1994] F.N. Najm. A survey of Power Estimation Techniques in VLSI Circuits. In: IEEE Trans. on VLSI, 1994, no. 12, pp. 446–455.
- [SIA, 2014] Semiconductor Industry Association (SIA) ITRS Roadmap, available: http://www.sia-online.org/backgrounders_itrs.cfm.

-
- [Wang1, 1996] C. Wang, K. Roy, T. Chou. Maximum Power Estimation for Sequential Circuits using a Test Generation-based Technique. In: Proc Custom Integrated Circuits Conf., 1996, pp. 229–232.
- [Wang2, 1996] C.-Y. Wang and K. Roy. Maximum Current Estimation in CMOS Circuits Using Deterministic and Statistical Techniques. In: IEEE Trans. on VLSI Systems, 1998, no. 3, pp. 134–140.
- [Wu, 2006] Q. Wu, Q. Qiu, M. Pedram. Estimation of Peak Power Dissipation in VLSI Circuits Using the Limiting Distributions of Extreme Order Statistics. In: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, vol. 20, no. 8, pp. 942–956.
- [Zimmermann, 1997] R. Zimmermann, W. Fichtner. Low-power logic styles: CMOS versus pass-transistor logic. In: IEEE Journal of Solid-State Circuits, July 1997, vol. 32(7), pp. 1079–1090.
-

Authors' Information



Liudmila Cheremisinova – *The United Institute of Informatics Problems of National Academy of Sciences of Belarus, principal, Surganov str., 6, Minsk, 220012, Belarus; e-mail: cld@newman.bas-net.by*

Major Fields of Scientific Research: Discrete mathematics, Logic design automation

**ПАМЯТИ ЧЛЕН-КОРРЕСПОНДЕНТА НАН БЕЛАРУСИ
АРКАДИЯ ДМИТРИЕВИЧА ЗАКРЕВСКОГО**



24 февраля 2014 года ушел из жизни Аркадий Дмитриевич Закревский – член-корреспондент НАН Беларуси, академик Международной академии информации, информационных процессов и технологий, доктор технических наук, профессор, главный научный сотрудник Объединенного института проблем информатики НАН Беларуси.

Аркадий Дмитриевич Закревский – талантливый ученый, выдающийся белорусский и советский кибернетик – специалист в области прикладной дискретной математики, информатики и логического проектирования. Он стоял у истоков рождения кибернетики, является основателем одной из самых известных школ логического проектирования в Советском Союзе и в мире. Его уход из жизни – невосполнимая потеря для белорусской науки.

А.Д. Закревский родился 22 мая 1928 г. в Ленинграде в семье служащих. Получив в Красноярском ремесленном училище связи профессию радиооператора, он, начиная с 1943 г., восемь лет работал радистом в изыскательских отрядах “Желдорпроекта” в районах Заполярья, Сибири, Монголии (Таймыр, Игарка, Норильск, р. Турухан, а затем Забайкалье, Чита, Монголия). В 1949 г. в г. Улан-Баторе (Монголия) сдает экстерном экзамены за курс средней школы и, получив аттестат зрелости, в 1951 г. поступает на физический факультет Томского госуниверситета. Через два года Аркадий Закревский переходит на только что организованный радиофизический факультет и с отличием оканчивает его по специальности

“физик-радиоэлектроник”. В 1956 г. он поступает в аспирантуру к профессору В.Д. Кессениху, ведет преподавательскую работу в университете, подбирает группу студентов-энтузиастов и вместе с ними начинает заниматься новой (не только в стенах университета, но и в СССР) наукой – кибернетикой.

Узнав, что в г. Пензе начинается серийный выпуск ЭВМ Урал-1, А.Д. Закревский в 1957 г. добился выделения ее Томскому госуниверситету, а затем, критически оценив это последнее достижение вычислительной техники СССР, предлагает проект оригинальной вычислительной машины с той же производительностью, что и Урал-1 (который требовал для своего размещения зал в 100 кв.м), но всего на 18 триггерах. По этому проекту потом обучалось не одно поколение студентов-кибернетиков и не только в Томском госуниверситете, но и в Севастопольском приборостроительном институте. Затем разрабатывает логическое расширение ЭВМ Урал-1 (L-машину), на несколько порядков повышающее ее производительность при решении логических задач. Изготовление макета L-машины послужило темой дипломных работ студентов-кибернетиков первого выпуска в Томском госуниверситете.

С 1956 г. Аркадий Закревский проводил исследования в области технических приложений логики в Томском госуниверситете и Сибирском физико-техническом институте, руководил установкой первой в Сибири ЭВМ Урал-1 (1958 г.), заложил основы компьютерной дискретной математики, разработал технологию экспериментального статистического исследования алгоритмов на ЭВМ.

В 1960 г. Аркадий Закревский защищает диссертацию на соискание ученой степени кандидата физико-математических наук на тему “Матричный метод синтеза релейных схем”. О высоком уровне диссертации красноречиво свидетельствует тот факт, что ее первый оппонент д.т.н., проф. А.Б. Сапожников, зачитав свой отзыв, предложил присвоить соискателю степень не кандидата, а сразу – доктора наук.

Оценив на основе собственного опыта трудоемкость программирования задач логического синтеза в машинных кодах, А. Закревский приходит к выводу о необходимости создания специализированного языка программирования, и в 1962 г. он разрабатывает Логический язык для представления алгоритмов синтеза релейных устройств – ЛЯПАС – первый отечественный язык программирования, ориентированный на решение логических задач и реализованный на ЭВМ.

Итогом плодотворной научной деятельности А. Закревского явилась его первая монография “Алгоритмический язык ЛЯПАС и автоматизация синтеза дискретных автоматов” (1966 г.), по которой он в 1967 г. защищает в Институте автоматики и телемеханики АН СССР (г. Москва) диссертацию на соискание ученой степени доктора технических наук. Для языка ЛЯПАС были разработаны системы программирования для разных типов ЭВМ, которые нашли широкое применение во многих организациях СССР, а также за рубежом: в Польше, Германии (ГДР и ФРГ), Чехословакии, Югославии, США. Интерес к языку ЛЯПАС за рубежом был вызван появлением перевода на английский язык сборника научных статей с описанием языка ЛЯПАС и алгоритмов синтеза дискретных автоматов, представленных на этом языке, – «LYaPAS, A Programming Language for Logic and Coding Algorithms» (Ed. by M. Gavrilov and A. Zakrevskij), ACM Monograph Series, New York, London, 1969.

В 1959–1971 гг. А.Д. Закревский – ассистент, старший научный сотрудник, заведующий лабораторией счетно-решающих устройств Сибирского физико-технического института, а затем профессор, заведующий кафедрой математической логики и программирования, которая была им организована на радиофизическом факультете Томского госуниверситета. В 1971 г. он публикует широко известную в СССР фундаментальную монографию «Алгоритмы синтеза дискретных автоматов». Под его руководством создается первая в СССР система автоматического синтеза дискретных автоматов, принятая комиссией по кибернетике при Президиуме АН СССР и эксплуатировавшаяся в 1970–1980-е гг. на многих предприятиях министерств электронной промышленности и радиоэлектроники. Так было положено начало широкому фронту исследований в области компьютерной дискретной математики и

логического проектирования дискретных устройств и систем. Эти исследования органически влились в проблематику известной в то время школы М.А. Гаврилова по теории релейных схем и конечных автоматов, первое заседание которой состоялось в марте 1964 в Томске, а второе (в Комарово, вблизи Ленинграда) было целиком посвящено ЛЯПАСу.

В 1971 г. Аркадий Дмитриевич с группой сотрудников переезжает в Минск и организует в Институте технической кибернетики АН БССР лабораторию системного программирования и логического синтеза, впоследствии переименованную в лабораторию логического проектирования. В 1972 г. он избирается членом-корреспондентом АН БССР. Более двадцати лет А.Д. Закревский являлся заведующим организованной им лабораторией, передав затем управление лабораторией своему ученику, оставаясь главным научным сотрудником и научным руководителем множества научных и научно-технических тем и проектов.

Характерной чертой научного творчества А.Д. Закревского является сочетание широты охвата рассматриваемых проблем (вплоть до поиска аналогий в соседних областях) со строгостью и глубиной исследования (с предложениями практически эффективных методов их решения, доведенных до алгоритмической, а зачастую и программной реализации). Отличительной особенностью научной школы Аркадия Закревского стало развитие логико-комбинаторного подхода, основанного на формулировке задач проектирования в виде оптимизационных логико-комбинаторных задач на функциональных и структурных моделях объектов проектирования. Такой подход позволил развить теоретические основы кибернетики в самых разных областях. Трудно перечислить все, что было сделано Аркадием Дмитриевичем, поэтому ограничимся лишь кратким перечнем основных направлений кибернетики, где он оставил наиболее глубокий след:

1. *Логическая теория дискретных устройств* (применение помехоустойчивого кода Хемминга к синтезу надежных логических схем; визуально-матричный метод минимизации булевых функций; аппарат матричных логических уравнений для решения задач анализа, синтеза и диагностики неисправностей программируемых логических матриц; эффективные методы декомпозиции булевых функций и дискретных автоматов, кодирования внутренних состояний синхронного и асинхронного автоматов). А.Д. Закревским был предложен матричный аппарат для логического анализа, синтеза и диагностики дискретных устройств на базе программируемых логических матриц, результаты этих исследований представлены в его монографии «Логический синтез каскадных схем» (М.: Физматлит, 1980).
2. *Автоматизация программирования логических задач* (язык и системы программирования ЛЯПАС, эффективные для решения логико-комбинаторных задач и нашедшие широкое применение во многих организациях страны и за рубежом: в Польше, ГДР, Чехословакии, Югославии, ФРГ, США).
3. *Автоматизация логического проектирования* (эффективные методы минимизации и реализации полностью и слабо определенных булевых функций многих переменных, минимизации систем булевых функций в классе полиномов Жегалкина и Риды – Маллера, методы реализации систем многозначных частичных функций поляризованными полиномами Риды – Маллера, диагностирования константных неисправностей в EXOR-схемах, а также ряд систем автоматизированного логического проектирования, внедренных в производство (ЦКБ «Алмаз» (Москва), НИИЭВМ, НПО «Интеграл» и др.).
4. *Логические основы интеллектуальных систем* (методы решения больших систем логических уравнений, линейных и нелинейных; методы нахождения кратчайших решений неопределенных и несовместимых систем линейных логических уравнений; обобщение методов теории булевых функций на конечные предикаты; методы индуктивного и дедуктивного вывода в приложении к

распознаванию образов в пространствах бинарных и конечнозначных признаков, выявления имплицативных закономерностей в этих пространствах; экспертные системы логического распознавания образов).

5. *Автоматизация проектирования систем логического управления* (язык описания параллельных алгоритмов логического управления ПРАЛУ; методы верификации, моделирования и реализации параллельных алгоритмов; понятия параллельного и секвенциального автоматов и основанные на них методы синтеза устройств логического управления; методы композиции и декомпозиции параллельных автоматов и описаний на языке ПРАЛУ).
6. *Комбинаторные задачи дискретной математики* (техника вычислений в булевом пространстве; комбинаторный базис логического проектирования – комплекс эффективных методов и программ решения комбинаторных задач над логическими матрицами и графами, имеющих множество полезных практических интерпретаций; техника вычислений в пространстве конечных предикатов, методы их минимизации и декомпозиции; высокоэффективные методы решения систем логических уравнений).

Результаты теоретических исследований А.Д. Закревского легли в основу ряда программных комплексов автоматизации решения логико-комбинаторных задач: логического проектирования дискретных управляющих устройств в базе СБИС, программной и аппаратной реализации параллельных алгоритмов управления и экспертной системы логического распознавания.

Аркадий Дмитриевич, стоявший у истоков рождения кибернетики в Советском Союзе, свою научную деятельность успешно сочетал с педагогической. Он читал курсы лекций собственной разработки по математической логике, дискретной математике, теории вероятностей, теории автоматов, теории графов, теории булевых функций, программированию, методам логического проектирования и др. в ТГУ (Томск), БГУ и БГУИР (Минск). Созданная им научная школа логического проектирования первоначально зародилась в Томске, а затем стала действовать в Минске, Севастополе и Кишиневе. Его работы были известны не только в странах бывшего СССР, но и за рубежом, он руководил и входил в программные и организационные комитеты многих международных конференций и симпозиумов.

Талантливый организатор и руководитель, А.Д. Закревский подготовил 34 кандидата и восемь докторов технических и физико-математических наук. Он был неизменным руководителем постоянно действующего научного семинара ОИПИ НАН Беларуси по логическому проектированию и воспитывал своих учеников личным примером и тщательным рецензированием всех статей, ими написанных.

Результаты научных исследований А.Д. Закревского представлены более чем в 540 научных публикациях, в том числе в 26 монографиях (7 из них – в дальнем зарубежье), получивших широкую известность в стране и за рубежом. Он являлся одним из авторов книги “Наука Беларуси в XX столетии (2001 г.)”. Под его научной редакцией было издано более 50 монографий и научных журналов, ежегодных сборников трудов по логическому проектированию и программированию (1975 – 2001 г.), материалов научно-технических конференций (1975 – 1995 г.). Около 30 статей и заметок было издано о его жизни и научной деятельности.

Научную работу Аркадий Дмитриевич успешно совмещал с научно-организационной: являлся членом советов по защите диссертаций в ОИПИ НАН Беларуси, БГУ, Института электроники Латвийской АН (1980–1990); членом Ученого и Научного советов ОИПИ НАН Беларуси; членом редколлегий журналов “International Journal on Information Theories and Applications” (София, Болгария), “Управляющие системы и машины” (Киев, Украина), “Информатика” (ОИПИ НАН Беларуси, Минск), сборника “Проблемы защиты информации” (БГУ, Минск). А.Д. Закревский являлся участником важнейших научно-организационных мероприятий и событий в Институте и НАН Беларуси, связанных с развитием, направлениями и

повышением результативности научных исследований; председателем подкомиссии по автоматизации логического проектирования при совете по кибернетике Президиума АН СССР (1970– 1990 гг.). За научно-организационную деятельность А.Д. Закревский награжден медалями, Почетными грамотами Верховного Совета БССР (1978, 1988 гг.).

Аркадий Дмитриевич запомнится многим не только как выдающийся ученый, но и как опытный организатор туристских мероприятий (во время проведения школ-семинаров), пеших и лыжных однодневных походов в окрестностях г. Томска и Минска, руководитель многодневных горных и пеших походов (Тянь-Шань, Алтай, Прибайкалье, Беларусь), заядлый дачник, который на своей "фазенде" все сделал своими руками.

Вся жизнь Аркадия Дмитриевича была связана с наукой и была ей посвящена, он творил до последнего дня своей жизни: в 2013 г. в издательстве TUT Press им была опубликована монография на английском языке, готовилась к печати следующая монография, был подан доклад на конференцию...

А.Д. Закревский заслужил признание и авторитет не только как выдающийся исследователь и руководитель, но и как честный, справедливый и принципиальный человек. Он был наделен феноменальным талантом подводить теоретическую базу и находить элегантные решения для сложнейших задач дискретной математики, информатики и проектирования дискретных устройств. Если же говорить о гранях его характера, то главными из них являются трудолюбие; увлеченность научным поиском; стремление довести фундаментальные исследования до их воплощения в практике проектирования; твердость и бескомпромиссность. Талант и неустанный труд – истоки его достижений и величия как ученого и человека с большой буквы. В сердцах учеников и его последователей в области логического проектирования навсегда останется благодарная память об Аркадии Дмитриевиче – Учителе и Лидере.

П.Н. Бибило, Л.Д. Черемисинова

Список монографий Аркадия Дмитриевича Закревского

1. Алгоритмический язык ЛЯПАС и автоматизация синтеза дискретных автоматов. Томск, 1966;
2. LYaPAS: A programming language for logic and coding algorithms. Academic Press, N.-Y., L., 1969 (with M. A. Gavrilov);
3. Алгоритмы синтеза дискретных автоматов. М.: Наука, 1971, 512 с.;
4. Логические уравнения. Мн.: Наука и техника, 1975, 96 с.;
5. Синтез асинхронных автоматов на ЭВМ. Мн.: Наука и техника, 1975, 184 с. (в соавторстве);
6. Система программирования ЛЯПАС-М. Мн.: Наука и техника, 1978, 220 с. (с Н.Р. Тороповым);
7. Логический синтез каскадных схем. М.: Наука, 1981, 416 с.;
8. Boolesche Gleichungen: Theorie, Anwendung, Algorithmen. VEB Verlag Technik, Berlin, 1984, 304 s. (mit D. Bochmann und Ch. Posthoff);
9. Логика распознавания. Мн.: Наука и техника, 1988, 118 с.;
10. Параллельные алгоритмы логического управления. Мн.: Ин-т технической кибернетики АН Беларуси, 1999, 202 с.;
11. Полиномиальная реализация частичных булевых функций и систем. Мн: Ин-т технической кибернетики НАН Беларуси, 2001, 200 с. (с Н.Р. Тороповым);
12. Логика распознавания. Издание второе, дополненное. М., УРСС, 2003, 140 с.;
13. Параллельные алгоритмы логического управления. Издание второе, стереотипное. М.: УРСС, 2003, 200 с.;
14. Полиномиальная реализация частичных булевых функций и систем. Издание второе, стереотипное. М.: УРСС, 2003, 200 с. (с Н.Р. Тороповым);

-
-
15. Закревский А. Д. Логические уравнения. Издание второе, стереотипное. М.: УРСС, 2003, 95 с.
 16. Основы логического проектирования. Книга 1. Комбинаторные алгоритмы дискретной математики. Мн: ОИПИ НАН Беларуси, 2004, 226 с. (с Ю.В. Поттосиным и Л.Д. Черемисиновой);
 17. Основы логического проектирования. Книга 2. Оптимизация в булевом пространстве. Мн: ОИПИ НАН Беларуси, 2004, 240 с. (с Ю.В. Поттосиным и Л.Д. Черемисиновой);
 18. Основы логического проектирования. Книга 3. Проектирование устройств логического управления. Минск: ОИПИ НАН Беларуси, 2006, 254 с. (с Ю.В. Поттосиным и Л.Д. Черемисиновой);
 19. Логические основы проектирования дискретных устройств. М.: Физматлит, 2007, 589 с. (с Ю.В. Поттосиным и Л.Д. Черемисиновой);
 20. Combinatorial algorithms of discrete mathematics. Tallinn: TUT Press, 2008, 192 p. (with Yu. Pottosin, L. Cheremisinova);
 21. Optimization in Boolean space. Tallinn: TUT Press, 2009, 241 p. (with Yu. Pottosin, L. Cheremisinova);
 22. Решение больших систем логических уравнений. Минск: ОИПИ НАН Беларуси, 2009, 96 с.;
 23. Design of logical control devices. Tallinn: TUT Press, 2009, 304 p. (with Yu. Pottosin, L. Cheremisinova);
 24. Вычисления в многомерном булевом пространстве. Минск: ОИПИ НАН Беларуси, 2011, 106 с.;
 25. Combinatorial Calculations in Many-Dimensional Boolean Space. Tallinn: TUT Press, 2012, 121 p.;
 26. Solving Large Systems Logical Equations. Tallinn: TUT Press, 2013, 114 p.